

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2000216236
 PUBLICATION DATE : 04-08-00

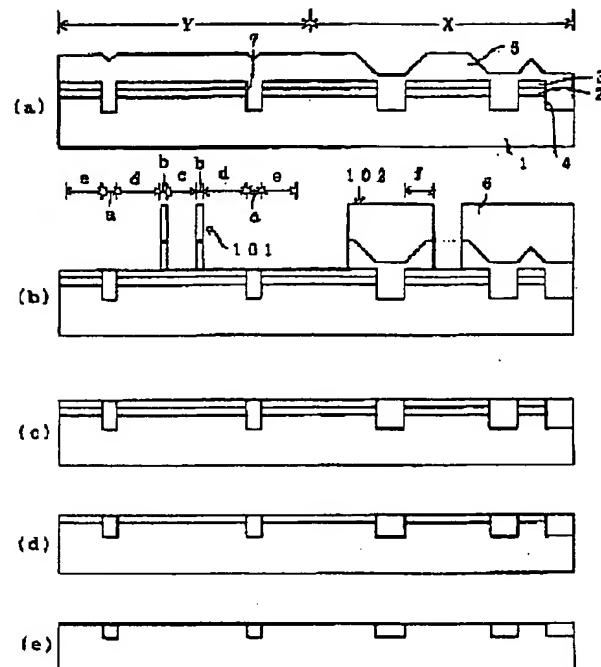
APPLICATION DATE : 26-01-99
 APPLICATION NUMBER : 11017294

APPLICANT : SHARP CORP;

INVENTOR : MIZUKOSHI NORIO;

INT.CL. : H01L 21/76 H01L 21/027

TITLE : MANUFACTURE OF SEMICONDUCTOR DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To prevent dishing by allowing a mask by comprising a pair of patterns of specified width which is, between a pair of grooves, formed on an insulating film in a region away from the groove by a distance which allows alignment precision measurement for the mask, and a pattern which covers a trench and a region of a specified width from the end part of the trench.

SOLUTION: A mask formed on an insulating film 5 comprises a pair of patterns 101 of a specified width (b) which is formed, between a pair of grooves 7, on the insulating film 5 in a region away from the groove 7 by such distance (d) which allows alignment precision measurement for the mask, and a pattern 102 which covers a trench 4 and a region of a specified width (f) from the end part of the trench 4. After alignment of the mask 6, the insulating film 5 is removed by anisotropic etching. Then the mask 6 is removed and flattened by CMP method. Thus, the dishing of an embedded insulating film is prevented. Further, drop of yield caused by remaining of the insulating film on the substrate is suppressed.

COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-216236
(P2000-216236A)

(43)公開日 平成12年8月4日(2000.8.4)

(51)Int.Cl. H 01 L 21/76 21/027	識別記号 F I H 01 L 21/76 21/30	テマコト(参考) L 5 F 0 3 2 5 0 2 M 5 F 0 4 6
---------------------------------------	--------------------------------------	--

審査請求 未請求 請求項の数 3 OL (全 5 頁)

(21)出願番号 特願平11-17294
(22)出願日 平成11年1月26日(1999.1.26)

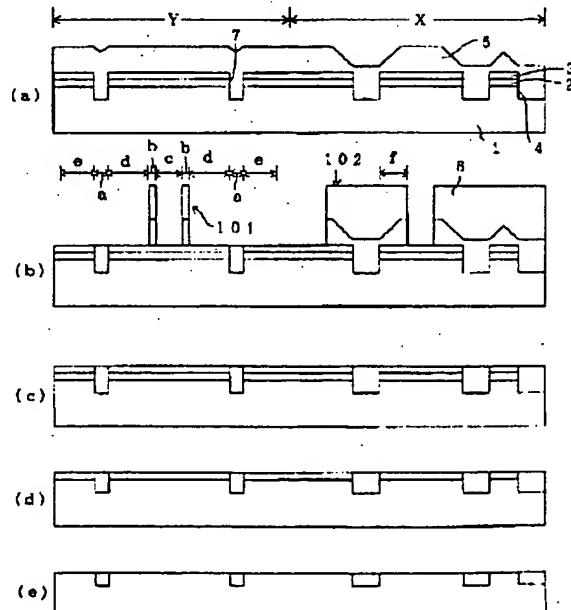
(71)出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号
(72)発明者 水越 敦男
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内
(74)代理人 100065248
弁理士 野河 信太郎
F ターム(参考) 5F032 AA35 AA77 BA02 DA02 DA25
DA33
5F046 DB05 EA12 EA17 EA23 EA24
EA26 EB01 EB05 FC06

(54)【発明の名称】半導体装置の製造方法

(57)【要約】

【課題】工程数を増やすことなく、マスクの位置合わせ精度測定用の溝及びトレンチの絶縁膜のディッシングを防止し、C M P法による平坦化後に、基板上に絶縁膜が残ることから由来する歩留まりの低下を抑制することを課題とする。

【解決手段】マスクの位置合わせ精度測定用の一対の溝間で、該溝からマスクの位置合わせ精度測定を行いうる距離離れ、かつ所定幅の一対のパターンと、トレンチ及びトレンチの端部から所定幅の領域を覆いうるパターンを有するマスクを形成し、一対の溝及び一対のパターンを用いてマスクの位置合わせを行った後、異方性エッチング法及びC M P法により一対の溝及びトレンチ内外以外の基板上の絶縁膜を除去して平坦化することからなる半導体装置の製造方法により上記課題を解決する。



【特許請求の範囲】

【請求項1】 基板の回路領域にトレンチ及び前記領域以外の領域にマスクの位置合わせ精度測定用の一対の溝を形成する工程と、基板全面に絶縁膜を積層することにより、一対の溝及びトレンチを絶縁膜により埋め込む工程と、絶縁膜上にフォトリソグラフィ法によりマスクを形成し、マスクを位置合わせした後、異方性エッチングによりマスク下以外の絶縁膜を除去する工程と、マスクを除去した後、化学的機械研磨法により一対の溝及びトレンチ内以外の基板上の絶縁膜を除去して平坦化する工程とからなり。

マスクが、一対の溝間で、該溝からマスクの位置合わせ精度測定を行いうる距離離れた領域の絶縁膜上に形成された所定幅の一対のパターンと、トレンチ及びトレンチの端部から所定幅の領域を覆いうるパターンとを有し、マスクの位置合わせが、一対の溝間の中心座標と一対のパターン間の中心座標とを比較することにより行われ、位置ずれがない場合は統けて異方性エッチングが行われることを特徴とする半導体装置の製造方法。

【請求項2】 マスクの位置合わせ時に、位置ずれがある場合は、再度マスクを形成することからなる請求項1に記載の製造方法。

【請求項3】 マスクの位置合わせ精度測定を行いうる距離が数十 μm であり、一対のパターンの幅が0.2~1 μm であり、一対の溝の幅が0.2~1 μm である請求項1又は2に記載の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関する。更に詳しくは、本発明は、マスクの位置合わせ工程及び化学的機械研磨法による平坦化工程を含み、トレンチ素子分離領域を有する半導体装置の製造方法に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】 通常、MOS型半導体装置において素子分離領域を形成するにはLOCOS (Local Oxidation of Silicon) 法が用いられている。近年、半導体装置の微細化に伴い素子分離領域の寸法の微細化も望まれているが、LOCOS法により形成された素子分離領域は、微細化しすぎると電気的な素子分離耐圧を十分確保できるような膜厚が得られず、更に、いわゆるバーズ・ピークによる素子分離領域の寸法シフトも制御困難となるという問題があった。

【0003】 これらの問題を解決する素子分離法として、トレンチ素子分離法が知られている。トレンチ素子分離法では、基板にトレンチ（素子分離領域形成用の溝）を作り、基板全面に絶縁膜を堆積した後、この絶縁膜をシリコン基板のトレンチにのみ残して除去することによりトレンチ素子分離領域を形成している。この絶縁膜の除去手法としてCMP（化学的機械研磨法：Chemical

Mechanical Polishing）法により研磨して除去する手法が提唱されている。ここで、実際の半導体装置において、素子分離領域の幅が100 μm 以上になる場合がある。この領域内ではCMP法による絶縁膜の除去後に、トレンチ内の絶縁膜の厚さが他の素子分離領域よりも数十~数百nm程度薄くなることがある。この現象は、ディッシング（Dishing）と呼ばれている。ディッシングを防ぐための技術を図3(a)~(d)と図4に示す。図3(b)は、図4のB-B線の概略断面図である。

【0004】 シリコン基板11上にシリコン酸化膜21（約0.005~0.04 μm ）を形成し、シリコン窒化膜31（約0.05~0.3 μm ）を堆積する。なお、シリコン窒化膜31は、CMP法により望まない領域が研磨されるのを防ぐ役割を有する。この後、フォトリソグラフィ法及び異方性エッチング法により、回路領域Xにおいてトレンチ41を、位置合わせ精度測定マーク領域Yにおいてマスクの位置合わせ精度測定の際に使用される精度測定用溝（誤認識禁止用溝）71を形成する。次に、基板11全面にCVD法により絶縁膜51を積層することにより、トレンチ41及び溝71を絶縁膜51で埋め込む。これら工程により、図3(a)のように、溝71間、溝71とトレンチ41間及び、トレンチ41間の広い領域では、堆積した絶縁膜と同じ厚さの凸型の絶縁膜が形成され、トレンチ41間の狭い領域では、堆積した絶縁膜より高さの低い凸型の絶縁膜が形成される。

【0005】 次に、フォトレジストを絶縁膜51全面に塗布した後、回路領域Xの広い領域上にフォトリソグラフィ法により、トレンチ41上及びトレンチ41の端部から所定幅Fの領域上以外のフォトレジストを除去して開口部を有するマスク61を形成する。次に、異方性エッチング法により、開口部下の絶縁膜41を除去する。ここで、所定幅Fを、一定値以下にすると、CMP法での絶縁膜41の研磨速度が速まりかつ、広い領域と狭い領域の研磨量がほぼ均一になる。そのため、トレンチ上の絶縁膜のオーバー・エッチ量が減ることとなる。従って、素子分離領域のディッシングを防ぐことができる（図3(c)参照）。一方、位置合わせ精度測定マーク領域Yでは、フォトレジストを絶縁膜51上に塗布した後、所定幅Cの開口部を有するマスク61が形成される。ここで、位置合わせは、開口部の所定幅Cの中心座標と、溝71間（C+2D）の中心座標を比較することにより行われる。両座標にずれがあれば、フォトレジストを剥離、再度フォトリソグラフィ工程を行う。なお、この比較を行わない場合、所望の位置をエッチングすることができないため、ずれがなくなるまで、この比較は行われる。

【0006】 ここで、C、C+2D及びDが大きいほど、位置合わせの測定精度を上げることができるため、

C及びD位置合わせ精度測定機のレンズで観察可能な範囲で最大とされている。具体的には、C及びDは数十μmが一般的である。上記のような幅Cの開口を有するマスク61を使用して、溝71間の絶縁膜を除去した後(図3(b)及び図4参照)、CMP法で平坦化すると、位置合わせ精度測定マーク領域Yの基板上の絶縁膜は、回路領域Xの基板上の絶縁膜よりも幅が広いため、研磨速度が遅くなり、絶縁膜残り81が発生する(図3(c)参照)。更に、シリコン塗化膜31を除去した場合、残り81が発生した箇所でシリコン塗化膜残り91が発生する(図3(d)参照)。この残り91は後工程でダストとなり、歩留まり低下の原因となる。また、位置合わせ精度測定機が、位置合わせ精度測定用マーク領域Yを誤認することを避けるために、溝71が設けられているが、この溝71の幅は通常数十μm必要である。この様な幅の広い溝71ではCMP法による平坦化の際に、ディッシングにより段差が生じてしまうこととなる。そのため、後の配線のパターンングのためのフォトリソグラフィ工程において、段差でフォーカスずれに伴う配線形状不良が発生する問題があった。

【0007】この問題を解決する方法として、特開平7-78866号公報に示す技術が挙げられる。この技術を図5(a)～(f)を用いて説明する。まず、図3(a)と同様にして、基板11にトレンチ41及び溝71を形成し、全面を絶縁膜51で覆う(図5(a)参照)。その後、回路領域Xを覆うマスク62を用いてフォトリソグラフィ法と異方性エッチング法により、位置合わせ精度測定マーク領域Yの絶縁膜を完全に除去する(図5(b)参照)。マスク62を除去した後、図3(b)～(d)と同様にして、フォトリソグラフィ工程、異方性エッチング工程及びシリコン塗化膜31を除去する(図5(c)～(e)参照)。ここで、この方法では、位置合わせ精度測定用マーク領域Yに絶縁膜51が存在しないため、図3(e)のような絶縁膜残り81は発生しない。また、溝71には絶縁膜う1が存在しないため、ディッシングも生じない。次に、シリコン酸化膜21が除去される(図5(f)参照)。しかしながらこの方法では、位置合わせ精度測定マーク領域Yの絶縁膜51をあらかじめ除去するために、フォトリソグラフィ工程及び異方性エッチング工程を追加する必要があり、製造コストが増加するという問題がある。

【0008】

【課題を解決するための手段】本発明によれば、基板の回路領域にトレンチ及び前記領域以外の領域にマスクの位置合わせ精度測定用の一対の溝を形成する工程と、基板全面に絶縁膜を積層することにより、一対の溝及びトレンチを絶縁膜により埋め込む工程と、絶縁膜上にフォトリソグラフィ法によりマスクを形成し、マスクを位置合わせした後、異方性エッチングによりマスク下以外の絶縁膜を除去する工程と、マスクを除去した後、化学的

機械研磨法により一対の溝及びトレンチ内以外の基板上の絶縁膜を除去して平坦化する工程とからなり、マスクが、一対の溝間で、該溝からマスクの位置合わせ精度測定を行いうる距離離れた領域の絶縁膜上に形成された所定幅の一対のパターンと、トレンチ及びトレンチの端部から所定幅の領域を覆う一対のパターンとを有し、マスクの位置合わせが、一対の溝間の中心座標と一対のパターン間の中心座標とを比較することにより行われ、位置ずれがない場合は統けて異方性エッチングが行われることを特徴とする半導体装置の製造方法が提供される。

【0009】

【発明の実施の形態】本発明を図1(a)～(e)及び図2を用いて説明する。なお、図2は、図1(b)のA-A線の概略断面図である。まず、本発明に使用することができる基板1は限定されない。特に、シリコン基板を使用することが好ましい。また、基板1上には、後のCMP工程において、基板が研磨されることを防ぐ役割を有する膜(CMPストッパー)が形成されていてよい。このCMPストッパーは、シリコン酸化膜、シリコン塗化膜及びそれらの積層膜からなっていてもよい。例えば、図1(a)では、CMPストッパーは、基板1側から、シリコン酸化膜2及びシリコン塗化膜3の2層からなる。この場合、シリコン酸化膜は0.005～0.02μm、シリコン塗化膜は0.1～0.3μmの範囲の厚さを通常有している。なお、シリコン酸化膜は熱酸化法、CVD法、スパッタ法等により形成でき、シリコン塗化膜はCVD法、スパッタ法等により形成できる。

【0010】次に、基板1上の回路領域Xにトレンチ4が及び、回路領域X以外の位置合わせ精度測定マーク領域Yにマスクの位置合わせ精度測定用の一対の溝7が形成される。ここで、トレンチ4は、基板1に1個又は複数形成されていてよい。また、トレンチ4は、通常0.1～数十μmの範囲の幅、0.1～1μmの範囲の深さを有している。一方、マスクの位置合わせ精度測定用の溝7は、後のCMP工程でディッシングが生じない程度の幅aを有することが好ましく、具体的には0.2～1μmの範囲であることが好ましい。この溝7の深さは、トレンチ4と同じであり、0.1～1μmの範囲であることが好ましい。また、溝7は、回路領域Xから所定幅e(例えば、5μm以上)離れていることが好ましい。なお、トレンチ4及び溝7は、公知のフォトリソグラフィ法及び異方性エッチング法を組合わせることにより形成することができる。

【0011】次いで、基板1全面に絶縁膜5が積層される(図1(a)参照)。この絶縁膜5の積層により、トレンチ4及び溝7が絶縁膜により埋め込まれる。絶縁膜5の厚さは、トレンチ4及び溝7を少なくとも埋め込むことができる厚さであり、0.1～1.5μmの範囲であることが好ましい。絶縁膜5の積層方法としては、CVD法、スパッタ法等が挙げられる。次に、絶縁膜5上

に、フォトレジストを塗布した後、フォトリソグラフィ法により以下のパターンを有するマスクが形成される。即ち、マスク6は、

・一対の溝7間で、該溝7からマスク6の位置合わせ精度測定を行いうる距離d離れた領域の絶縁膜5上に形成された所定幅tの一対のパターン101と、

・トレンチ4及びトレンチ4の端部から所定幅tの領域を覆いうるパターン102を有している。

【0012】ここで、上記マスク6の位置合わせ精度測定を行いうる距離dは数十 μm であることが好ましく、特に5~10 μm であることが好ましい。また、パターン101の所定幅tは後のCMP工程で残存しない幅であることが好ましく、具体的には0.2~1 μm であることが好ましい。この幅であることにより、CMPストップバーが露出するまで絶縁膜5を研磨する際の研磨時間を短縮することができる。これと同時に、研磨量のバラツキを抑制できるため、絶縁膜5のオーバーエッチ量が減少し、トレンチ4の絶縁膜研磨量が減少し、ディッシングが抑えられる。更に、一対のパターン101の間隔(図1(b)及び図2ではc)は、位置合わせ測定機のレンズで観察可能な範囲で最大のサイズであることが好ましく、具体的には10~20 μm であることが好ましい。

【0013】一方、上記パターン102の所定幅tは露光の際の位置ずれ量以上の幅であることが好ましく、特に0.1~0.3 μm であることが好ましい。なお、トレンチ4及びトレンチ端から所定幅tの領域以外に形成されるレジスト開口部103は、トレンチ間の幅が広い場合(例えば0.5 μm 以上)に設けることが特に有用である。即ち、トレンチ間の幅が広い領域と、狭い領域の絶縁膜5をCMP法により除去する際に、両絶縁膜5の除去速度をほぼ同一にすることができ、絶縁膜5の除去残りが生じることを防ぐことができるためである。

【0014】次いで、パターン101及び溝7を使用して、マスク6の位置合わせ精度を測定する。測定方法としては、2a+2b+c+2d又は2b+c+2dの中心座標と、2b+c又はcの中心座標とを比較し、両中心座標のずれ量を求める方法が挙げられる。ここで、両中心座標にずれがあれば、マスク6を剥離、再度マスク6及びパターン101を有するマスクの形成を行う。次に、マスク6下以外の基板1上の絶縁膜5を異方性エッティングにより除去する(図1(b)及び図2参照)。なお、

図2において、溝7及びパターン101の平面形状は正方形であるが、この形状に限定されず、長方形、円形、楕円形等の形状であってもよい。

【0015】次いで、マスク6を除去した後、CMP法によりトレンチ4及び溝7以外の基板1上の絶縁膜5を除去して平坦化する(図1(c)参照)。ここで、パターン102下部に位置する絶縁膜5は、他の研磨部と研磨速度がほぼ同一になるようにその幅が調整されているため、従来のような絶縁膜残りは生じない。この後、CMPストップバーが形成されている場合は、CMPストップバーを除去することにより、トレンチ素子分離領域を有する半導体装置を製造することができる(図1(d)及び(e)参照)。

【0016】

【発明の効果】本発明の半導体装置の製造方法によれば、基板に形成された素子分離領域及び精度測定用の一対の溝を絶縁膜5で埋め込んだ後の余分な絶縁膜5を、CMP法で除去及び平坦化する際に、素子分離領域及び一対の溝に埋め込まれた絶縁膜5のディッシングを防止することができる。更に、CMP法による平坦化後に、基板上に絶縁膜5が残ることから由来する歩留まりの低下を抑制することができる。

【図面の簡単な説明】

【図1】本発明の製造方法の概略工程断面図である。

【図2】本発明の製造方法の概略工程平面図である。

【図3】従来の製造方法の概略工程断面図である。

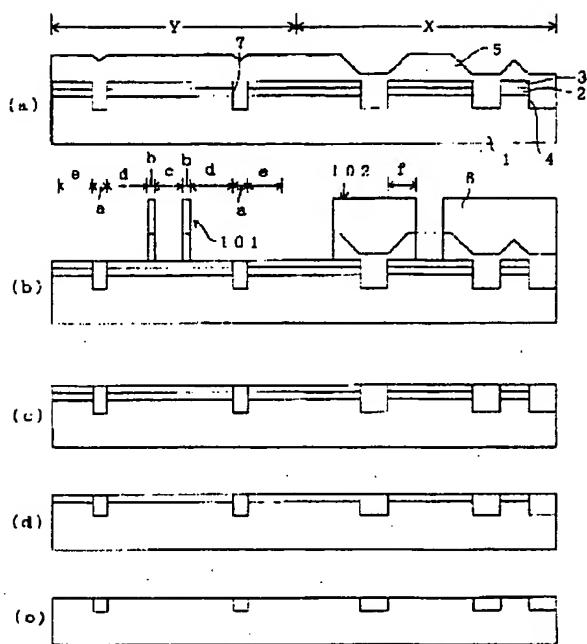
【図4】従来の製造方法の概略工程平面図である。

【図5】従来の製造方法の概略工程断面図である。

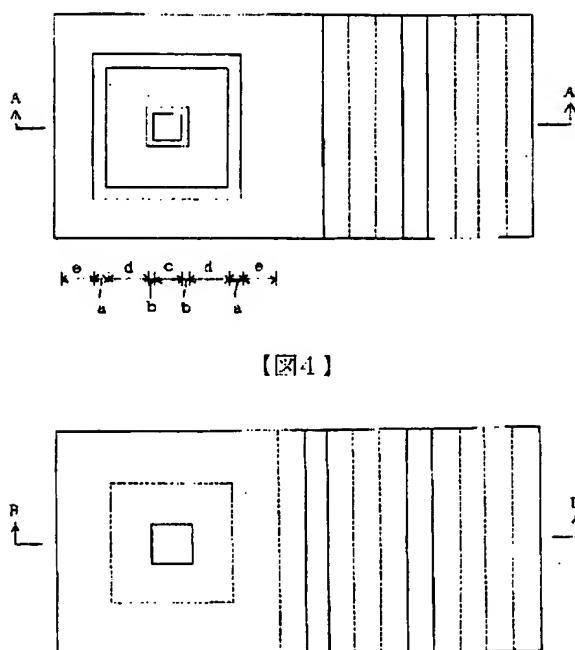
【符号の説明】

- 1、1 1 基板
- 2、2 1 シリコン酸化膜
- 3、3 1 シリコン窒化膜
- 4、4 1 トレンチ
- 5、5 1 絶縁膜
- 6、6 1、6 2 マスク
- 7、7 1 マスクの位置合わせ精度測定用の溝
- 8 1 シリコン酸化膜残り
- 9 1 シリコン窒化膜残り
- 101、102 パターン
- X 回路領域
- Y 位置合わせ精度測定マーク領域

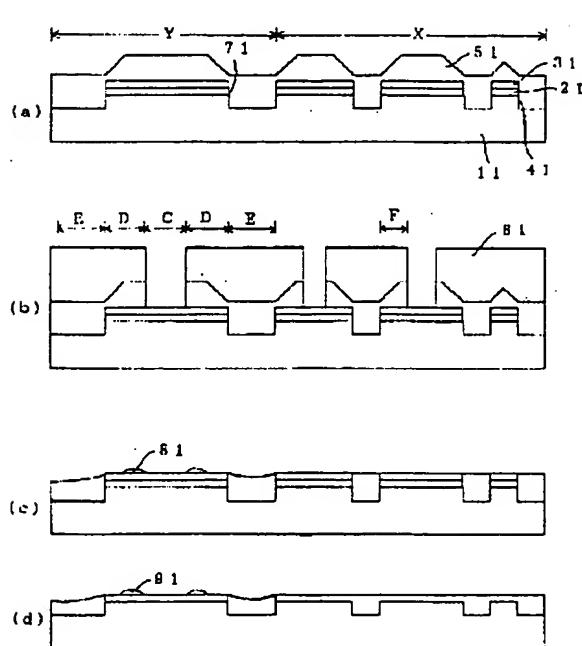
【図1】



【図2】



【図3】



【図5】

